

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

①1 N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

2 800 199

②1 N° d'enregistrement national :

99 13379

⑤1 Int Cl<sup>7</sup> : H 01 L 21/8242

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 21.10.99.

③0 Priorité :

④3 Date de mise à la disposition du public de la  
demande : 27.04.01 Bulletin 01/17.

⑤6 Liste des documents cités dans le rapport de  
recherche préliminaire : *Se reporter à la fin du  
présent fascicule*

⑥0 Références à d'autres documents nationaux  
apparentés :

⑦1 Demandeur(s) : STMICROELECTRONICS SA  
Société anonyme — FR et FRANCE TELECOM — FR.

⑦2 Inventeur(s) : CIAVATTI JEROME.

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : CABINET MICHEL DE BEAUMONT.

⑤4 FABRICATION DE MEMOIRE DRAM.

⑤7 L'invention concerne un procédé de fabrication d'un  
dispositif mémoire dynamique à accès aléatoire constitué  
de cellules comportant chacune un transistor MOS de com-  
mande et un condensateur, comprenant les étapes  
suivantes:

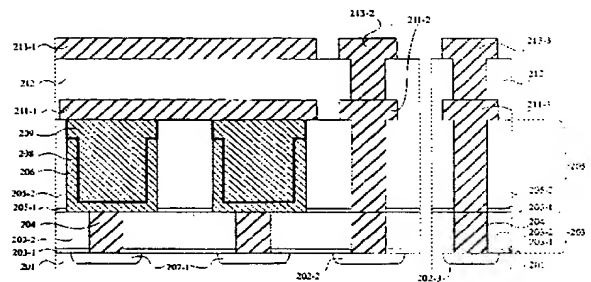
former dans une couche isolante épaisse (205) des  
ouvertures dont les parois sont recouvertes d'un premier  
matériau conducteur (206),

déposer sur l'ensemble de la structure une couche min-  
ce d'un matériau diélectrique (208);

déposer un deuxième matériau conducteur (209) de fa-  
çon à remplir complètement les ouvertures et à en débor-  
der;

araser, par polissage mécano-chimique, le deuxième  
matériau conducteur jusqu'à la surface supérieure des par-  
ties de la couche diélectrique reposant sur les parties de la  
couche isolante épaisse qui subsistent entre deux ouvertu-  
res; et

déposer un matériau métallique (211-1) directement sur  
le deuxième matériau conducteur et la couche isolante  
épaisse de façon à interconnecter au moins deux ouvertu-  
res remplies par le deuxième matériau conducteur.



FR 2 800 199 - A1



### FABRICATION DE MÉMOIRE DRAM

La présente invention concerne la fabrication sous forme monolithique de cellules mémoire dynamique à accès aléatoire (DRAM). Plus particulièrement, la présente invention concerne la fabrication sur une même tranche semiconductrice de  
5 cellules mémoire DRAM et de transistors MOS selon un procédé compatible avec un procédé CMOS standard.

Les figures 1A à 1C illustrent un procédé de fabrication classique d'un dispositif mémoire DRAM.

On veut former, à gauche des figures, sur une première  
10 partie d'un substrat semiconducteur 1, typiquement en silicium monocristallin, des cellules mémoire DRAM dont chacune est constituée d'un transistor MOS de commande et d'un condensateur, une première électrode des condensateurs étant en contact avec une région de drain/source des transistors. Sur une deuxième partie  
15 du substrat 1, à droite des figures, on désire former des circuits logiques comportant des transistors MOS. Ci-après, les première et deuxième parties seront appelées respectivement côté mémoire et côté logique. On notera que par "substrat" on désigne tant le substrat lui-même que des caissons et/ou régions dopées  
20 formées dans celui-ci. On supposera ci-après que côté mémoire et côté logique les structures de transistors MOS et de transistors

de commande des cellules mémoire ont déjà été formées dans le substrat et ces structures ne sont pas représentées aux figures.

Plus particulièrement, côté mémoire, on veut former des condensateurs ayant une première électrode en contact avec une  
5 région de drain/source 2-1 des transistors de commande et des lignes de bits en contact avec une région de source/drain 2-2 des transistors de commande. La répartition des cellules mémoire se fait sur le substrat de sorte que deux régions 2-1 soient voisines, et séparées de deux autres régions similaires par deux  
10 régions 2-2. Côté logique, on veut former des contacts avec des régions semiconductrices de drain ou de source 2-3 également formées dans le substrat 1. Ces dernières prises de contact, côté mémoire et côté logique, avec les régions 2-2 et 2-3 devront chacune rejoindre des lignes d'interconnexion métalliques situées  
15 à de mêmes hauteurs données au-dessus du substrat, hauteurs fixées par les contraintes d'un procédé CMOS standard côté logique.

Les séquences d'étapes qui vont être décrites ci-après en relation avec les figures 1A et 1B sont essentiellement destinées à réaliser côté mémoire la structure désirée.

20 On commence par déposer, comme l'illustre la figure 1A, côté logique et côté mémoire, une couche isolante épaisse 3 de façon que sa surface supérieure soit sensiblement plane. La couche 3 est généralement une couche d'oxyde de silicium ( $\text{SiO}_2$ ) dont la surface supérieure est planarisée par polissage  
25 mécano-chimique (CMP).

On forme ensuite dans la couche isolante 3 des premières ouvertures afin d'exposer côté mémoire les régions de drain/source 2-1. On dépose et on grave alors un matériau conducteur 4, typiquement une couche de silicium polycristallin, afin  
30 de remplir les premières ouvertures. On dépose une couche isolante épaisse 5 de façon que sa surface supérieure soit sensiblement plane. La couche isolante 5, typiquement en oxyde de silicium, est mise à niveau par polissage CMP.

Aux étapes suivantes, on forme dans la couche isolante  
35 5 des deuxième ouvertures de façon à exposer la surface supé-

rieure des premières ouvertures. Les parois et le fond de ces deuxièmes ouvertures sont ensuite recouverts par un matériau conducteur 6. Le matériau 6 est typiquement du silicium polycristallin dopé in-situ. On dépose ensuite une couche isolante 5 sacrificielle 7, typiquement en résine photosensible, facilement éliminée par les procédés de retrait classiques.

Aux étapes suivantes, illustrées à la figure 1B, on met en oeuvre un procédé CMP jusqu'à découvrir la surface supérieure de la couche isolante 5. Ainsi, la couche 6 n'est conservée qu'à l'intérieur des deuxièmes ouvertures. Les résidus de la résine dans les deuxièmes ouvertures sont ensuite éliminés.

On dépose alors, de façon conforme, une couche isolante 8. La couche 8, très mince, est destinée à constituer le diélectrique des condensateurs. Ensuite, on dépose, également de façon conforme puis on grave une couche de silicium polycristallin 9. La couche 9 est gravée de façon à constituer la deuxième électrode des condensateurs, commune à au moins deux condensateurs. On notera que la couche 9 est gravée en débordement par rapport aux deuxièmes ouvertures. La couche 9 est totalement éliminée, côté mémoire, au-dessus des régions de source/drain 2-2 ainsi que du côté logique.

Aux étapes suivantes, illustrées à la figure 1C, on dépose une couche isolante épaisse 10, dont la surface supérieure est planarisée, par exemple par un procédé CMP. Une telle planarisation est rendue indispensable par des contraintes du procédé CMOS standard imposant la formation d'une métallisation supérieure parfaitement plane et à un niveau fixe. On forme ensuite des troisièmes ouvertures afin d'exposer, côté mémoire, la surface supérieure de la couche 9 ainsi que les régions de source/drain 2-2 et, côté logique, les régions de source ou de drain 2-3.

On dépose et on grave alors un matériau métallique, typiquement du tungstène ou de l'aluminium ou une composition multicouche de ces métaux, afin de remplir les troisièmes ouvertures. Côté mémoire, les contacts 11-1 avec les deuxièmes

électrodes 9 constituent des bornes de lecture des cellules mémoire. Côté mémoire et côté logique, les contacts 11-2 et 11-3 formés avec les régions 2-2 et 2-3, respectivement, doivent être formés à une hauteur fixée par les contraintes de formation du  
5 procédé standard.

Ensuite, on dépose une couche isolante épaisse 12 de façon que sa surface supérieure soit sensiblement plane, typiquement en mettant en oeuvre un procédé CMP après son dépôt. On ouvre dans la couche 12 des quatrièmes ouvertures de façon à  
10 découvrir les surfaces supérieures des contacts 11-2 côté logique et 11-3 côté mémoire. On dépose et on grave alors un matériau métallique de façon à former un niveau de métallisation 13-1, un contact de ligne de bits 13-2 en contact avec la région 2-2 et des contacts 13-2 avec la région 2-3. On rappelle que la hauteur  
15 par rapport à la surface du substrat 1 à laquelle sont formées les contacts 13-2 et 13-3 est fixée par des contraintes du procédé standard.

Un inconvénient d'un tel procédé réside dans le fait qu'on utilise trois masques successifs, ce qui impose des contraintes  
20 d'alignement critiques qui nécessitent de prévoir des distances de garde suffisantes.

Un premier masque correspond à la formation des deuxièmes ouvertures.

Un deuxième masque correspond à la formation des  
25 deuxièmes électrodes par gravure de la couche 9. Ce masque impose deux contraintes complémentaires. D'une part, il est nécessaire de garantir que toute la surface de la première électrode est en regard d'une deuxième électrode. D'autre part, lors de cette gravure, la couche isolante 8 étant très mince est éliminée en  
30 même temps que les portions correspondantes de la couche 9. En outre, les parties restantes de la couche 8 sont endommagées par une surgravure latérale. Si la gravure est effectuée au-dessus de la première électrode, il y a alors mise en court-circuit des première et deuxième électrodes des condensateurs par détério-  
35 ration de l'isolant inter-électrode 8. Il est donc nécessaire de

garantir que la deuxième électrode déborde suffisamment par rapport aux deuxièmes ouvertures.

Le troisième masque, de formation des troisièmes ouvertures, doit être tel que les contacts métalliques 11-2, d'une part, contactent les régions 2-2 et, d'autre part, soient suffisamment éloignés des première et deuxième électrodes pour ne pas leur être couplé capacitivement. Bien entendu, il est également nécessaire de garantir que les contacts 11-2 ne court-circuitent pas la deuxième électrode.

La combinaison des contraintes de chacun de ces masques constitue un obstacle à l'augmentation de la densité de formation de cellules mémoire à la surface d'un substrat. En d'autres termes, de telles contraintes peuvent également constituer un obstacle à la formation d'un dispositif DRAM de type "embarqué", c'est-à-dire formé sur un même substrat à proximité d'un circuit logique relativement important, compte tenu des contraintes de surfaces d'intégration relativement importantes.

Un objet de la présente invention est par conséquent de proposer un nouveau procédé de formation d'une nouvelle structure de cellules DRAM présentant des contraintes réduites.

Un autre objet de la présente invention est de proposer un tel procédé qui soit plus simple que les procédés classiques.

Pour atteindre ces objets, la présente invention prévoit un procédé de fabrication d'un dispositif mémoire dynamique à accès aléatoire constitué de cellules comportant chacune un transistor MOS de commande et un condensateur, comprenant les étapes suivantes :

former dans une couche isolante épaisse des ouvertures dont les parois sont recouvertes d'un premier matériau conducteur ;

déposer sur l'ensemble de la structure une couche mince d'un matériau diélectrique ;

déposer un deuxième matériau conducteur de façon à remplir complètement les ouvertures et à en déborder ;

araser, par polissage mécano-chimique, le deuxième matériau conducteur jusqu'à la surface supérieure des parties de la couche diélectrique reposant sur les parties de la couche isolante épaisse qui subsistent entre deux ouvertures ; et

- 5            déposer un matériau métallique directement sur le deuxième matériau conducteur et la couche isolante épaisse de façon à interconnecter au moins deux ouvertures remplies par le deuxième matériau conducteur.

- 10           Selon un mode de réalisation de la présente invention, l'étape de formation des ouvertures dont les parois sont partiellement recouvertes d'un premier matériau conducteur consiste à :

          former dans la couche isolante épaisse des ouvertures ;

          déposer le premier matériau conducteur sur l'ensemble de la structure ;

- 15           déposer sur l'ensemble de la structure une couche isolante sacrificielle ; et

          araser, par polissage mécano-chimique, le premier matériau conducteur jusqu'à la surface supérieure de la couche isolante épaisse ;

- 20           graver le premier matériau conducteur sur les parois des ouvertures, de façon à amener sa surface supérieure à un niveau en retrait par rapport à la surface supérieure de la couche isolante épaisse ; et

          éliminer la couche sacrificielle.

- 25           Selon un mode de réalisation de la présente invention, après formation des transistors de commande et avant la formation des ouvertures dans la couche isolante épaisse, on procède à la séquence d'étapes suivantes :

          déposer une première sous-couche isolante épaisse ;

- 30           former dans la première sous-couche isolante des premières ouvertures de façon à exposer partiellement des régions complémentaires de source et de drain d'au moins les transistors de commande ;

- 35           remplir les premières ouvertures d'un troisième matériau conducteur ; et

déposer une deuxième sous-couche isolante épaisse.

Selon un mode de réalisation de la présente invention, les ouvertures dont les parois sont partiellement recouvertes d'un premier matériau conducteur sont formées dans la seule  
5 deuxième sous-couche isolante épaisse de façon à exposer celles des premières ouvertures en contact avec les régions de source des transistors de commande.

Selon un mode de réalisation de la présente invention, le procédé comprend en outre, avant de déposer un matériau métallique directement sur le deuxième matériau conducteur et la  
10 couche isolante épaisse, l'étape consistant à former dans la deuxième sous-couche isolante épaisse des ouvertures de façon à exposer au moins celles des premières ouvertures en contact avec les régions de drain des transistors de commande ;  
15 le matériau métallique étant également déposé de façon à former des plots conducteurs en contact avec au moins les régions de drain des transistors de commande.

Selon un mode de réalisation de la présente invention, le procédé comprend en outre les étapes suivantes :  
20 former dans la deuxième sous-couche isolante épaisse des ouvertures de façon à exposer au moins celles des premières ouvertures en contact avec les régions de drain des transistors de commande ;

former des plots conducteurs en contact avec au moins  
25 les régions de drain des transistors de commande ;

déposer une troisième sous-couche isolante épaisse ;

former dans les deuxième et troisième sous-couches isolantes épaisses les ouvertures dont les parois sont partiellement recouvertes d'un premier matériau conducteur.

30 Selon un mode de réalisation de la présente invention, le procédé comprend en outre, avant de déposer un matériau métallique directement sur le deuxième matériau conducteur et la couche isolante épaisse, l'étape consistant à former dans la troisième sous-couche isolante épaisse des ouvertures de façon à



exposer partiellement la surface supérieure des plots conducteurs ;

le matériau métallique étant également déposé de façon à former des contacts avec les plots conducteurs.

5           La présente invention prévoit également un dispositif mémoire dynamique à accès aléatoire constitué de cellules comportant chacune un transistor MOS de commande et un condensateur, le condensateur de chaque cellule comportant :

          une première électrode du condensateur, dont une partie  
10 sensiblement horizontale en vue en coupe contacte une région de source du transistor de commande, qui présente en vue en coupe des parties verticales dont les surfaces supérieures sont en retrait par rapport à une couche isolante épaisse alentour d'une hauteur donnée ;

15           un diélectrique ;

          une deuxième électrode qui remplit complètement l'intervalle entre les parties verticales, la surface supérieure de la deuxième électrode étant coplanaire à la surface supérieure des parties dudit diélectrique reposant sur les parties de la  
20 couche isolante épaisse qui subsistent entre deux ouvertures ;

          un matériau métallique reposant directement sur le deuxième matériau conducteur et la couche isolante épaisse et interconnecte les deuxièmes électrodes d'au moins deux condensateurs.

25           Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

30           les figures 1A, 1B et 1C sont des vues en coupe d'une même plaquette de circuits intégrés à différentes étapes successives de fabrication selon un procédé classique ;

          les figures 2A, 2B et 2C sont des vues en coupe d'une même plaquette de circuits intégrés à différentes étapes succes-

sives de fabrication selon un mode de mise en oeuvre de la présente invention ; et

la figure 3 est une vue en coupe d'une plaquette de circuits intégrés à une étape de fabrication correspondant à celle illustrée à la figure 2C, obtenue selon un autre mode de mise en oeuvre de la présente invention.

Par souci de clarté, les mêmes éléments ont été désignés par les mêmes références aux différentes figures et, de plus, comme cela est habituel dans la représentation des circuits intégrés, les différentes vues en coupe ne sont pas tracées à l'échelle.

Un mode de mise en oeuvre de la présente invention sera exposé ci-après en relation avec les figures 2A à 2C.

On veut former une cellule mémoire DRAM dans un circuit intégré comportant, à droite des figures, des dispositifs logiques. On suppose ici que les transistors MOS côté logique et les transistors de commande des cellules mémoire ont déjà été formés dans un substrat semiconducteur 201. On souhaite former d'une part, côté mémoire, des condensateurs dont une électrode est en contact avec des premières régions 202-1 formées dans le substrat 1, des contacts de lignes de bits avec des deuxièmes régions semiconductrices 202-2 et, d'autre part, côté logique, des contacts avec des troisièmes régions semiconductrices 202-3 également formées dans le substrat 201. Les régions 202-1 et 202-2 sont des régions complémentaires de source/drain d'un même transistor de commande d'une cellule mémoire. Par souci de clarté et à titre d'exemple non-limitatif, on considérera ci-après que les régions 202-1 sont les régions de source des transistors de commande et les régions 202-2 leurs régions de drain. Les régions 202-3 sont généralement des régions de source ou de drain de transistors.

On commence par déposer, côté logique et côté mémoire, une couche isolante épaisse 203 de façon que sa surface supérieure soit sensiblement plane. Selon un mode de réalisation particulier, la couche 203 sera un multicouche constitué de matériaux gravables sélectivement l'un par rapport à l'autre. Par

exemple, il s'agira d'une couche mince 203-1 de nitrure de silicium ( $\text{Si}_3\text{N}_4$ ) et d'une couche épaisse 203-2 d'oxyde de silicium ( $\text{SiO}_2$ ). La surface supérieure de la couche 203 - qu'il s'agisse ou non d'un multicouche - est planarisée, par exemple en mettant  
5 en oeuvre en procédé de polissage mécano-chimique (CMP).

Ensuite, à l'aide d'un même masque, on forme dans la couche isolante 203 des premières ouvertures afin d'exposer, côté mémoire, les régions 202-1 et 202-2 et, côté logique, les régions 202-3.

10 On dépose et on grave alors un matériau conducteur 204, de préférence métallique, par exemple du tungstène, afin de remplir les premières ouvertures.

Les séquences d'étapes qui vont être décrites ci-après en relation avec les figures 2A et 2B sont essentiellement desti-  
15 nées à réaliser côté mémoire une structure désirée.

On dépose une couche isolante épaisse 205 de façon que sa surface supérieure soit sensiblement plane. Selon un mode de réalisation particulier, la couche 205 est un multicouche constitué de deux matériaux gravables sélectivement l'un par rapport à  
20 l'autre. Par exemple, il s'agira d'une couche mince 205-1 de nitrure de silicium et d'une couche épaisse 205-2 d'oxyde de silicium.

Selon une variante (non représentée), la couche isolante 205 pourra également être une couche unique d'oxyde de  
25 silicium.

La surface supérieure de la couche 205 - qu'il s'agisse ou non d'un multicouche - est planarisée.

On forme alors dans la couche isolante 205 des deuxième ouvertures de façon à exposer la surface supérieure de celles des  
30 premières ouvertures qui contactent les régions de source 202-1. A ce stade, l'utilisation d'un multicouche 205 dont une couche 205-1 sépare deux couches 203-2 et 205-2 de même nature permet de disposer d'une détection d'arrêt de gravure précise à la surface de la couche 203-2, et d'éviter d'éventuelles surgravures de  
35 cette couche 203-2.

On dépose ensuite un matériau conducteur 206, par exemple en silicium polycristallin, de façon à couvrir les parois et le fond des deuxièmes ouvertures. On dépose un matériau sacrificiel 207, par exemple de la résine époxy, et on procède à une planari-  
5 sation par un procédé CMP afin d'éliminer les parties du matériau conducteur 206 formées au-dessus de la couche isolante 205.

Ensuite, selon une caractéristique de l'invention, on grave partiellement le matériau 206. On élimine ainsi la partie supérieure du matériau 206 sur les parois des deuxièmes ouver-  
10 tures. La surface supérieure des parties verticales du matériau 206 est alors en retrait d'une hauteur h donnée par rapport à la surface supérieure des couches 205 et 207.

Aux étapes suivantes, illustrées à la figure 2B, on élimine la couche sacrificielle 207, et on dépose une couche  
15 mince d'un matériau diélectrique 208, par exemple de l'oxyde de tantale ( $Ta_2O_5$ ) ou un multicouche oxyde de silicium, nitrure de silicium et oxyde de silicium (ONO). On dépose ensuite un matériau conducteur 209, par exemple du silicium polycristallin. Le conducteur 209 est déposé de façon à remplir complètement les  
20 deuxièmes ouvertures. On procède alors à une gravure CMP de la partie supérieure du matériau 209 jusqu'à atteindre les parties du matériau diélectrique 208 qui reposent sur les parties de la couche isolante 205 séparant deux ouvertures.

On notera qu'à ce stade du procédé de fabrication, après gravure du matériau 209, la structure présente une surface  
25 supérieure sensiblement plane. Il est alors avantageusement possible de former dès à présent un niveau de métallisation.

Aux étapes suivantes, illustrées à la figure 2C, on ouvre des troisièmes ouvertures de façon à exposer les surfaces  
30 remplies des premières ouvertures en contact, côté mémoire, avec les régions de drain 202-2 et, côté logique, avec les régions 202-3. On dépose alors un matériau conducteur, de préférence métallique, par exemple du tungstène de façon, côté mémoire, à former une électrode 211-1 commune à au moins deux condensateurs  
35 mémoire et, toujours côté mémoire, des lignes de bits 211-2. Le

matériau conducteur est également déposé de façon à former, côté logique, des prises de contact 211-3 avec les régions 202-3.

Le procédé se poursuit ensuite par le dépôt d'une couche isolante épaisse 212, la planarisation CMP de sa surface supérieure, l'ouverture de quatrièmes ouvertures de façon à exposer les contacts 211-2 et 211-3, et le dépôt et la gravure d'un matériau conducteur, de préférence métallique, par exemple du tungstène, de façon à former une métallisation 213-1, une ligne de bits 213-2 et un contact 213-3.

Comme cela ressort de la description précédente, le procédé selon la présente invention permet de supprimer le masque de gravure de la deuxième électrode. Le procédé selon l'invention permet donc d'augmenter la densité d'une mémoire. En effet, il n'est plus nécessaire de prévoir de distance de garde entre la deuxième électrode 209 des condensateurs mémoire et les contacts 211-2. Plus précisément, les distances nécessaires pour éviter des courts-circuits ou des couplages capacitifs parasites entre la première électrode 206 et le contact 211-2, d'une part, et la deuxième électrode 209 et le contact 211-2 sont maintenant égales et minimisées : il s'agit de la distance séparant les deuxième et troisième ouvertures.

Les risques de courts-circuits entre les première et deuxième électrodes 206 et 209 des condensateurs sont également éliminés. En effet, lors de la définition de la deuxième électrode, le diélectrique 208 ne peut pas être surgravé entre les première et deuxième électrodes.

Le procédé selon la présente invention supprime avantageusement plusieurs opérations par rapport au procédé classique. En premier lieu, il n'est plus nécessaire d'effectuer une photolithographie de la deuxième électrode du condensateur. En deuxième lieu, il n'est plus nécessaire de prévoir les enlèvement et nettoyage de la résine photosensible nécessaire à cette photolithographie. Enfin, il n'est également plus nécessaire de prévoir les opérations de dépôt et d'ouverture d'une couche isolante épaisse (10) de remplissage des deuxième ouvertures de

la capacité et de planarisation de la structure après la formation de la deuxième électrode (9). Seule est conservée une étape de planarisation, non plus de la couche de remplissage mais de la deuxième électrode elle-même.

5 Par ailleurs, la formation des lignes de bits 211-2 et des contacts logiques 211-3 est simplifiée. En effet, dans un procédé classique, la formation au même niveau des contacts d'électrode (11-1, figure 1C) impose des contraintes strictes tant lors de l'ouverture de l'isolant que lors du remplissage des  
10 ouvertures. De telles contraintes compliquent le procédé et peuvent même conduire à des formations par des étapes distinctes d'une part des contacts "profonds" 211-2, 211-3, et des contacts "courts" 211-1, d'autre part.

En outre, les condensateurs de la structure de la  
15 figure 2C présentent une capacité supérieure à ceux de la structure classique de la figure 1C. En effet, la hauteur de gravure des parties verticales de la première électrode (couche 206) est inférieure à l'épaisseur sur laquelle était classiquement déposée une couche isolante (10) de planarisation. La  
20 surface de la première électrode est donc augmentée, ce qui augmente proportionnellement le couplage.

Selon une variante, la présente invention permet de réaliser des dispositifs mémoire dont les cellules présentent des couplages de valeurs encore plus élevées.

25 La figure 3 illustre une vue en coupe d'une plaquette de circuits intégrés à une étape de fabrication correspondant à celle illustrée à la figure 2C, obtenue selon un autre mode de mise en oeuvre de la présente invention.

Le procédé utilisé pour obtenir la structure représentée à la figure 3 diffère de celui décrit précédemment pour  
30 obtenir la structure représentée à la figure 2C en ce que, après le dépôt, côté logique et côté mémoire, de la couche isolante épaisse 205, on procède immédiatement à la formation de contacts de type logique 211-2 et 211-3 et non pas à la formation des  
35 condensateurs.

On dépose ensuite la couche isolante 212 et on forme dans les couches isolantes 205 et 212 les structures de condensateur de la façon décrite précédemment en relation avec les figures 2A et 2B. Après la formation de la deuxième électrode du condensateur par dépôt du matériau conducteur 209 et sa gravure CMP, on dépose et on grave un matériau conducteur, de préférence métallique, de façon à former, côté mémoire, une interconnexion métallique 313-1 d'au moins deux condensateurs et les contacts 213-2 avec la région 202-2 et, côté logique, un contact 213-3 avec la région 202-3. Selon cette variante, les lignes de bits sont ultérieurement formées à un niveau de métallisation supérieur.

Par rapport à la structure représentée à la figure 2C, les condensateurs mémoire de la structure représentée à la figure 3 présentent avantageusement un couplage plus important du fait de la surface supérieure de la première électrode 206.

Selon un mode de réalisation particulier de la présente invention, la nature et les épaisseurs des différentes couches sont les suivantes :

- 20 - couche isolante 203 : multicouche :
  - + 203-1 : nitrure de silicium, de 20 à 300 nm, par exemple de 80 nm ;
  - + 203-2 : oxyde de silicium, de 90 à 800 nm, par exemple de 400 nm ;
- 25 - largeur des premières ouvertures, remplies par le matériau conducteur 204 : de 100 à 400 nm, par exemple de 240 nm ;
- matériau conducteur 204 : tungstène ;
- couche isolante 205 : multicouche :
  - 30 + 205-1 : nitrure de silicium, de 10 à 100 nm, par exemple de 20 nm ;
  - + 205-2 : oxyde de silicium, de 300 à 900 nm, par exemple de 600 nm ;
- matériau conducteur 206 (premières électrodes des condensateurs) : silicium polycristallin, entre 30 et 300 nm, par  
35 exemple 80 nm ;

- hauteur h de gravure des parois du matériau 206, par rapport à la surface supérieure de la couche isolante épaisse 205 ou 212 : de 20 à 600 nm, par exemple de 150 nm.
- matériau diélectrique 208 : multicouche ONO ou oxyde de tantale  
5 entre 2 et 20 nm, par exemple de 5 nm ;
- matériau conducteur 209 (deuxièmes électrodes, remplissant les ouvertures des capacités) : silicium polycristallin ;
- matériau conducteur des contacts 211-1/2/3 : tungstène ou aluminium ou cuivre, épaisseur des métallisations sur la couche  
10 isolante 212 de 200 à 800 nm, par exemple de 500 nm ;
- couche isolante 212 : oxyde de silicium, entre 50 et 500 nm, par exemple de 200 nm ;
- matériau conducteur des contacts 213-1/2/3 et/ou 313-1 : tungstène ou aluminium ou cuivre, épaisseur des métallisations sur la  
15 couche isolante 212 de 200 à 800 nm, par exemple de 500 nm.

Selon une variante non représentée, l'épaisseur d'isolant correspondant à la couche 203-2 pourra être constituée d'une structure multicouche de matériaux gravables sélectivement l'un par rapport à l'autre. Il s'agira, par exemple, d'un multicouche  
20 d'oxyde de silicium et de nitrure de silicium, ou d'un multicouche ONO.

Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, la hauteur des parties verticales des  
25 premières électrodes peut être modulée pour obtenir une capacité appropriée. En outre, elle s'applique à tout procédé de fabrication simultanée de transistors MOS et de cellules DRAM incorporant des étapes d'un procédé CMOS standard. Ainsi, la nature et l'épaisseur de chacune des couches peuvent être modi-  
30 fiées en fonction des contraintes liées au procédé CMOS standard dans lequel sont incorporées les étapes propres à la formation des cellules mémoire, ou en fonction de la capacité des éléments mémoire. Ainsi, les isolants utilisés peuvent être choisis parmi les divers matériaux connus ou des combinaisons de ceux-ci, par  
35 exemple, sous forme de multicouches.



De plus, bien que les matériaux des couches de remplis-  
sage des différentes ouvertures soient de préférence choisis  
identiques entre eux et identiques au matériau métallique  
(tungstène) déposé au-dessus de et latéralement par rapport à ces  
5 ouvertures, on peut utiliser des matériaux de remplissage diffé-  
rents pour chacune des différentes ouvertures et/ou différents  
des matériaux des couches conductrices déposées au-dessus de ces  
ouvertures. En outre, le dépôt d'un quelconque matériau conduc-  
teur peut être précédé du dépôt d'une couche d'adhérence et/ou  
10 d'arrêt de gravure.

REVENDICATIONS

1. Procédé de fabrication d'un dispositif mémoire dynamique à accès aléatoire constitué de cellules comportant chacune un transistor MOS de commande et un condensateur, caractérisé en ce qu'il comprend, après formation des transistors de commande,  
5 les étapes suivantes :

former dans une couche isolante épaisse (205 ; 205, 212) des ouvertures dont les parois sont recouvertes d'un premier matériau conducteur (206) ;

déposer sur l'ensemble de la structure une couche mince  
10 d'un matériau diélectrique (208) ;

déposer un deuxième matériau conducteur (209) de façon à remplir complètement les ouvertures et à en déborder ;

araser, par polissage mécano-chimique, le deuxième matériau conducteur jusqu'à la surface supérieure des parties de  
15 la couche diélectrique reposant sur les parties de la couche isolante épaisse qui subsistent entre deux ouvertures ; et

déposer un matériau métallique (211-1 ; 313-1) directement sur le deuxième matériau conducteur et la couche isolante épaisse de façon à interconnecter au moins deux ouvertures rem-  
20 plies par le deuxième matériau conducteur.

2. Procédé selon la revendication 1, caractérisé en ce que l'étape de formation des ouvertures dont les parois sont partiellement recouvertes d'un premier matériau conducteur (206) consiste à :

25 former dans la couche isolante épaisse (205 ; 205, 212) des ouvertures ;

déposer le premier matériau conducteur sur l'ensemble de la structure ;

déposer sur l'ensemble de la structure une couche iso-  
30 lante sacrificielle (207) ; et

araser, par polissage mécano-chimique, le premier matériau conducteur jusqu'à la surface supérieure de la couche isolante épaisse ;

graver le premier matériau conducteur sur les parois  
35 des ouvertures, de façon à amener sa surface supérieure à un

niveau en retrait par rapport à la surface supérieure de la couche isolante épaisse ; et

éliminer la couche sacrificielle.

3. Procédé selon la revendication 1 ou 2, caractérisé  
5 en ce qu'il comprend, après formation des transistors de commande et avant la formation des ouvertures dans la couche isolante épaisse (205 ; 205, 212), la séquence d'étapes suivantes :

déposer une première sous-couche isolante épaisse  
(203) ;

10 former dans la première sous-couche isolante des premières ouvertures de façon à exposer partiellement des régions complémentaires de source (202-1) et de drain (202-2) d'au moins les transistors de commande ;

remplir les premières ouvertures d'un troisième matériau conducteur (204) ; et

15 déposer une deuxième sous-couche isolante épaisse (205).

4. Procédé selon la revendication 3, caractérisé en ce que les ouvertures dont les parois sont partiellement recouvertes  
20 d'un premier matériau conducteur (206) sont formées dans la seule deuxième sous-couche isolante épaisse (205) de façon à exposer celles des premières ouvertures en contact avec les régions de source (202-1) des transistors de commande.

5. Procédé selon la revendication 4, caractérisé en ce  
25 qu'il comprend en outre, avant de déposer un matériau métallique (211-1) directement sur le deuxième matériau conducteur (209) et la couche isolante épaisse, l'étape consistant à former dans la deuxième sous-couche isolante épaisse (205) des ouvertures de façon à exposer au moins celles des premières ouvertures en  
30 contact avec les régions de drain (202-2) des transistors de commande ;

et en ce que le matériau métallique est également déposé de façon à former des plots conducteurs (211-2) en contact avec au moins les régions de drain (202-2) des transistors de commande.

6. Procédé selon la revendication 3, caractérisé en ce qu'il comprend en outre les étapes suivantes :

former dans la deuxième sous-couche isolante épaisse (205) des ouvertures de façon à exposer au moins celles des premières ouvertures en contact avec les régions de drain (202-2) des transistors de commande ;

former des plots conducteurs (211-2) en contact avec au moins les régions de drain des transistors de commande ;

déposer une troisième sous-couche isolante épaisse (212) ;

former dans les deuxième et troisième sous-couches isolantes épaisses les ouvertures dont les parois sont partiellement recouvertes d'un premier matériau conducteur (206).

7. Procédé selon la revendication 6, caractérisé en ce qu'il comprend en outre, avant de déposer un matériau métallique (313-1) directement sur le deuxième matériau conducteur (209) et la couche isolante épaisse, l'étape consistant à former dans la troisième sous-couche isolante épaisse (212) des ouvertures de façon à exposer partiellement la surface supérieure des plots conducteurs (211-2) ;

et en ce que le matériau métallique est également déposé de façon à former des contacts (213-2) avec les plots conducteurs.

8. Dispositif mémoire dynamique à accès aléatoire constitué de cellules comportant chacune un transistor MOS de commande et un condensateur, caractérisé en ce que le condensateur de chaque cellule comporte :

une première électrode (206) du condensateur, dont une partie sensiblement horizontale en vue en coupe contacte une région de source (202-1) du transistor de commande, qui présente en vue en coupe des parties verticales dont les surfaces supérieures sont en retrait par rapport à une couche isolante épaisse (205 ; 212) alentour d'une hauteur donnée ;

un diélectrique (208) ;

une deuxième électrode (209) qui remplit complètement l'intervalle entre les parties verticales, la surface supérieure

de la deuxième électrode étant coplanaire à la surface supérieure des parties dudit diélectrique reposant sur les parties de la couche isolante épaisse qui subsistent entre deux ouvertures ; et caractérisé en ce qu'un matériau métallique (211-1 ; 313-1)  
5 repose directement sur le deuxième matériau conducteur et la couche isolante épaisse et interconnecte les deuxièmes électrodes d'au moins deux condensateurs.

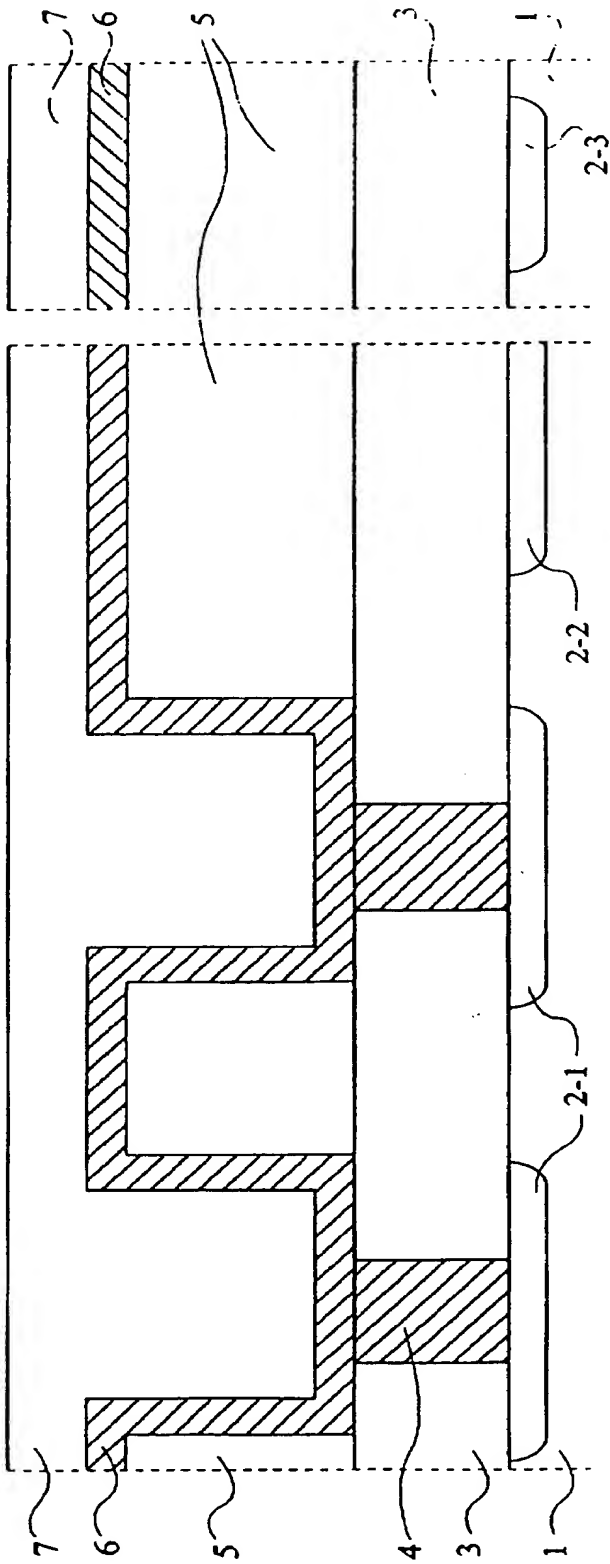


Fig 1A

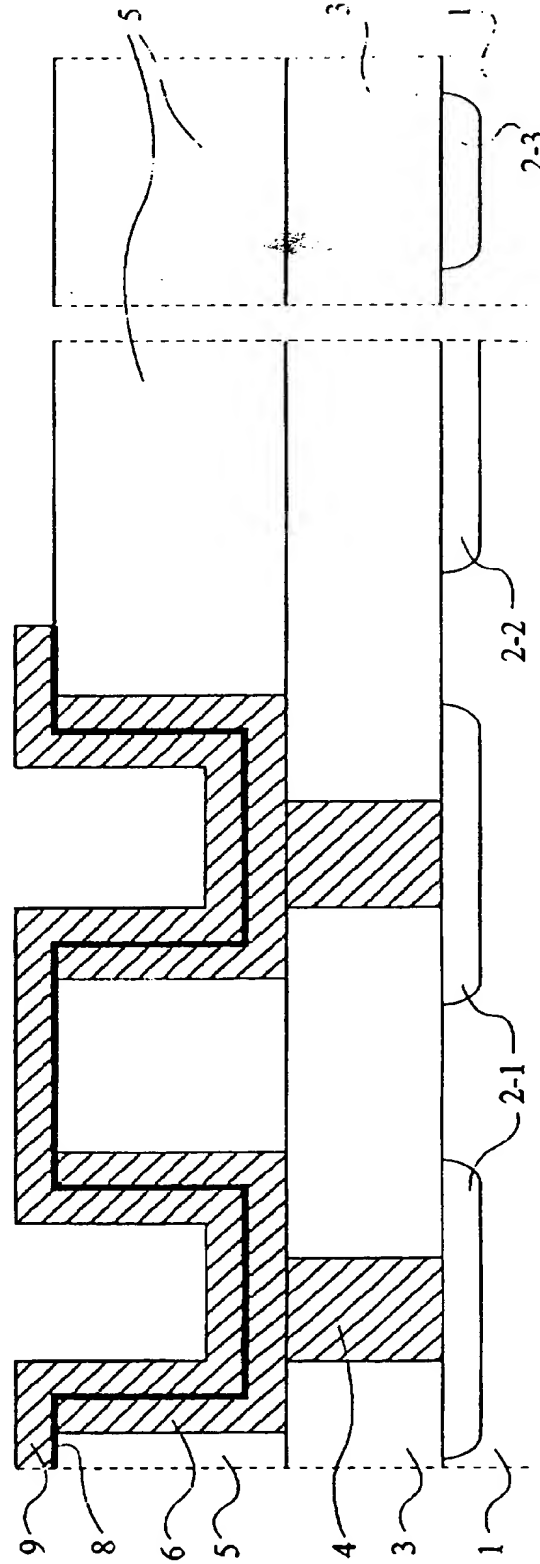


Fig 1B

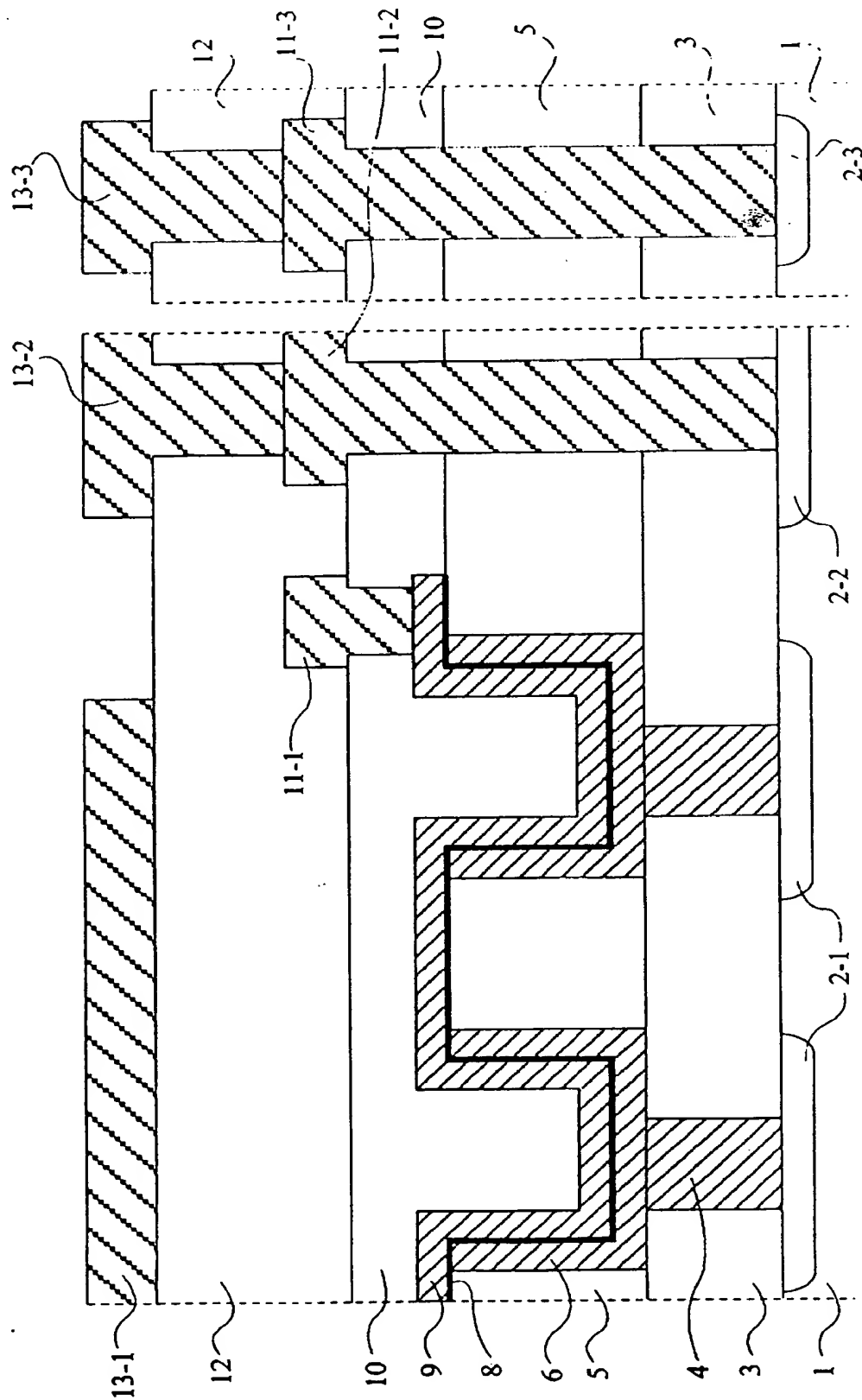
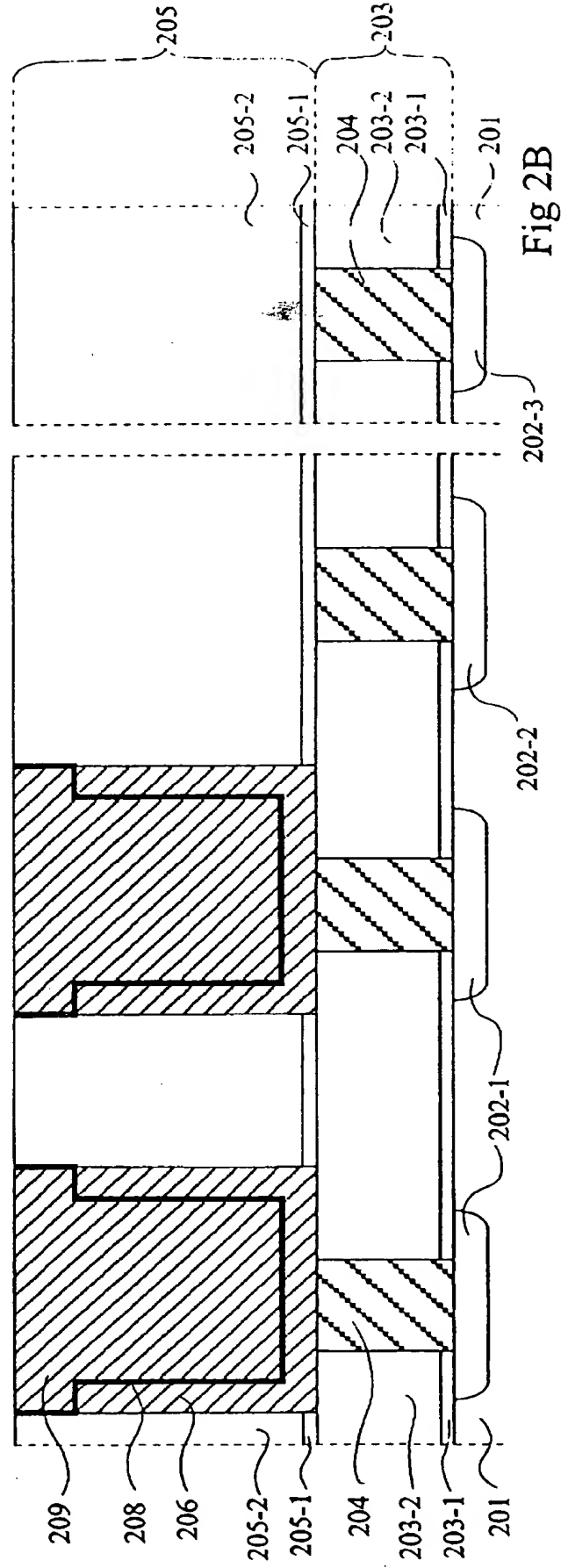
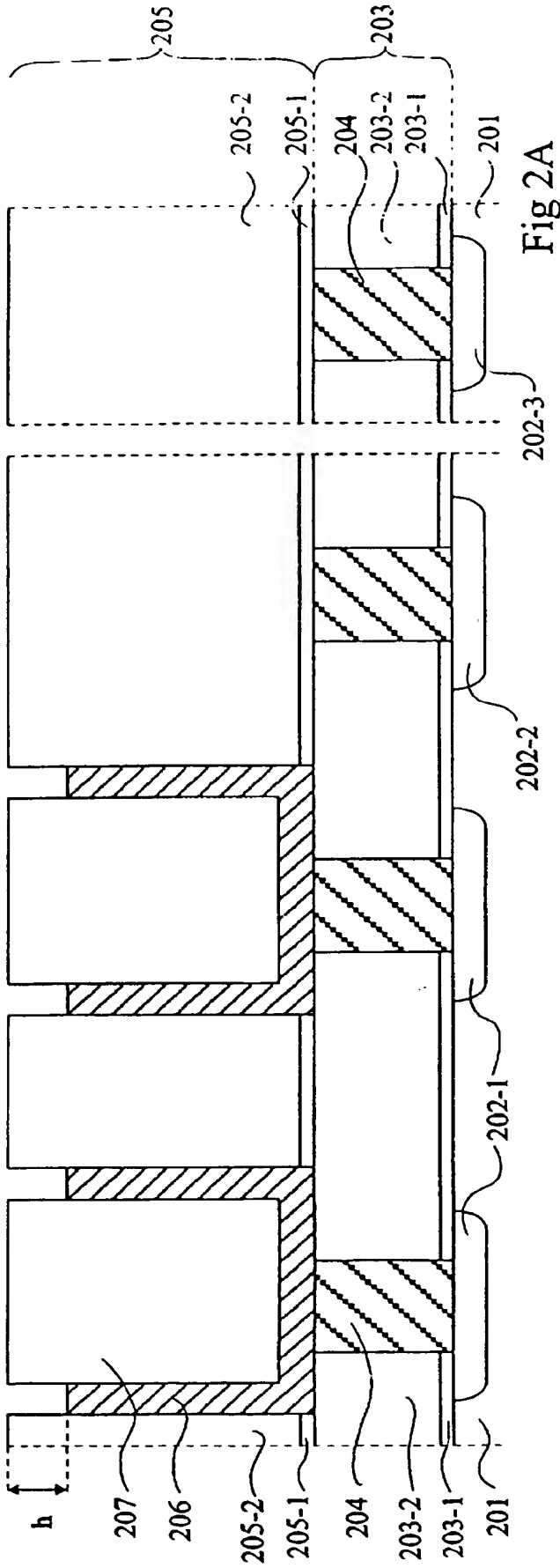


Fig 1C





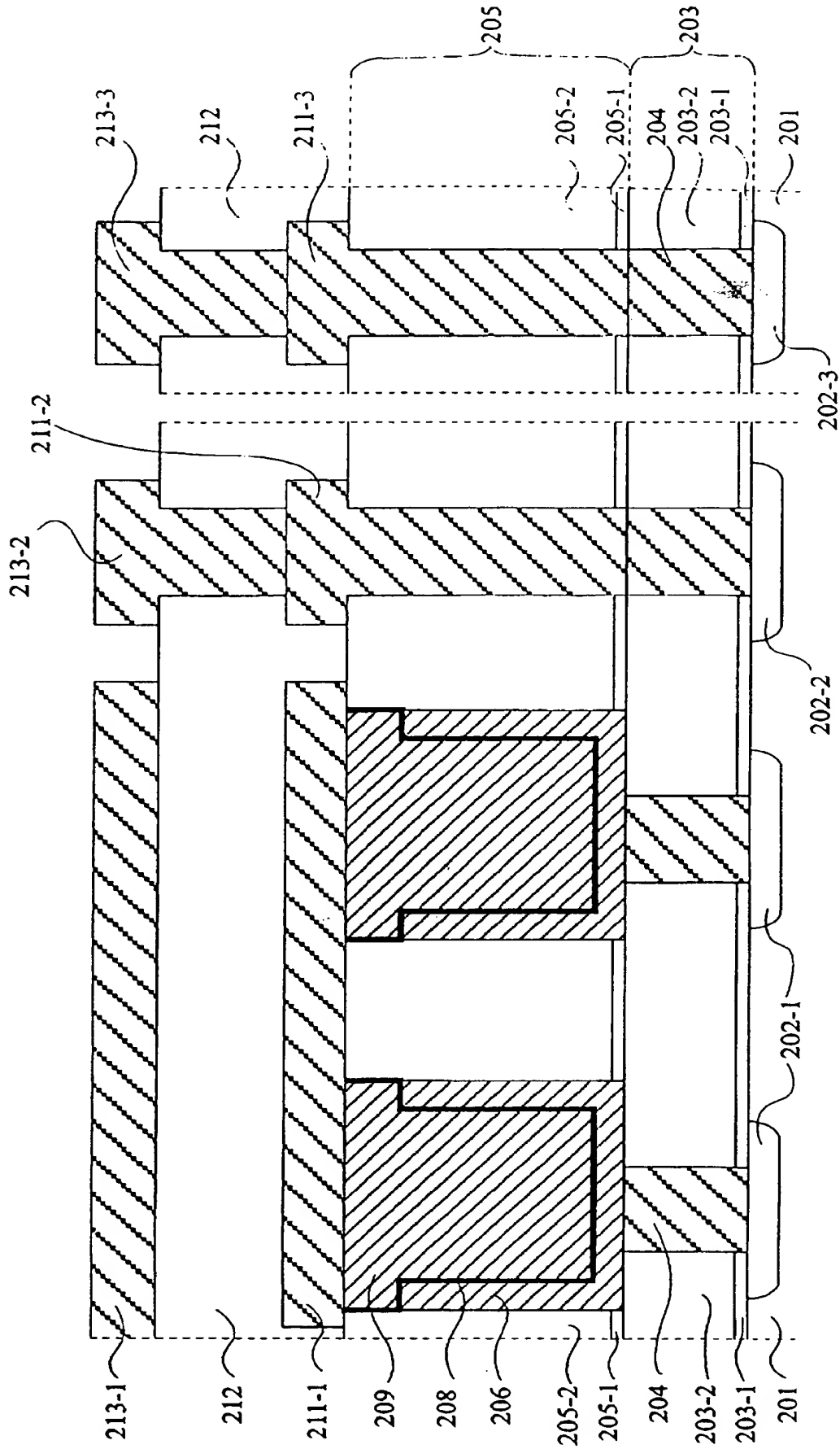


Fig 2C

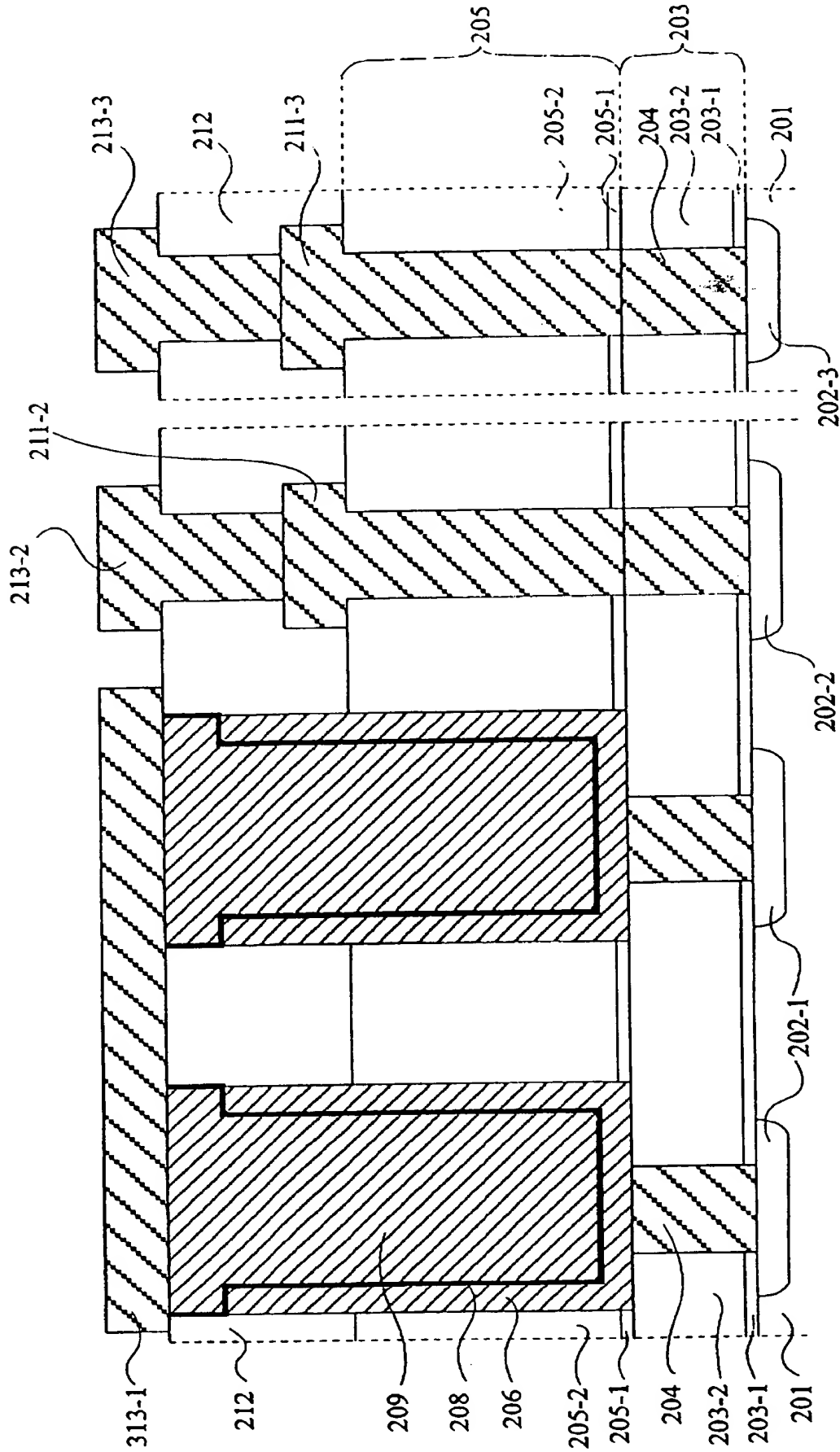


Fig 3

INSTITUT NATIONAL  
d la  
PROPRIETE INDUSTRIELLE

**RAPPORT DE RECHERCHE  
PRELIMINAIRE**  
établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

N° d'enregistrement  
national

FA 579626  
FR 9913379

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X	US 5 828 092 A (SIEMENS AG) 27 octobre 1998 (1998-10-27) * colonne 6, ligne 50 - colonne 7, ligne 5; figures 2-6 *	1-8
X	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 8, 30 juin 1998 (1998-06-30) & JP 10 079478 A (HITACHI LTD), 24 mars 1998 (1998-03-24) * figures 16 - 18 du document original * * abrégé *	1-8
X	DE 199 04 781 A (SONY CORP) 12 août 1999 (1999-08-12) * colonne 7, ligne 55 - ligne 66; figures 5A, 5B *	1
X	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 6, 30 avril 1998 (1998-04-30) & JP 10 050956 A (HITACHI LTD), 20 février 1998 (1998-02-20) * abrégé *	1
A	US 5 918 120 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO LTD) 29 juin 1999 (1999-06-29) * abrégé; figures *	1-8
A	US 5 874 756 A (FUJITSU LTD) 23 février 1999 (1999-02-23) * abrégé; figures 5A-6, 22, 25 *	1-8
Date d'achèvement de la recherche		Examineur
8 juin 2000		Sinemus, M
<p><b>CATEGORIE DES DOCUMENTS CITES</b></p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons &amp; : membre de la même famille, document correspondant</p>		

1

EPO FORM 1503 03.82 (P04C13)